

Published December 15, 2000

Title of the Invention:

Manufacturing method of MOS transistor

Abstract:

The present invention relates to a manufacturing method of a MOS transistor. A conventional manufacturing method of a MOS transistor has a problem in that deterioration is caused in properties of a device due to influence of generation of thermoelectric charge as the deepening of integration proceeds. In view of this problem, the present invention comprises: the step of forming a trench in a substrate with an impurity area formed thereon, and forming an insulating film inside the trench; the step of etching an upper entire surface of the insulating film and a portion of an intermediate concentration source/drain to a predetermined depth, and then forming a channel area in the etched area; the step of sequentially forming a low and a high concentration impurity area on an upper entire surface of the channel area and the intermediate concentration source/drain, etching a portion of the high and low concentration impurity areas to expose the channel area and the intermediate concentration source/drain in its vicinity, so as to form a low concentration source/drain and a high concentration source/drain sequentially laminated on top of the intermediate concentration source/drain; and the step of forming a gate oxide on a lateral side of the etched portions of the low concentration source/drain and the high concentration source/drain as well as on top of the exposed channel area and intermediate concentration source/drain, and forming a gate electrode on top of the gate oxide which has a top surface coplanar with a top surface of the high concentration source/drain. The source and drain is formed by a laminated intermediate, low and high concentration structure, with an isolation area formed in the substrate area between the source and drain, so that even when the integration of a device is deepened, generation of thermoelectric charge is prevented, thereby improving the integration of a MOS transistor and its properties.

What is claimed is:

1. A manufacturing method of a MOS transistor comprising: an intermediate concentration source/drain forming step of forming an impurity area of intermediate concentration on top of a substrate, and then forming a trench in a part of the impurity

area and the substrate therebeneath; a source and drain isolating structure forming step of vapor-depositing an insulating film inside the trench formed in the substrate; a channel area forming step of etching an upper entire surface of the isolating structure and a part of the middle concentration source/drain adjacent to the isolating structure to a predetermined depth, and then filling single crystal silicon in the etched area to form a channel area; a source and drain forming step of forming a low concentration impurity area and a high concentration impurity area sequentially on an upper entire surface of the channel area and the intermediate concentration source/drain, and etching a part of the high concentration impurity area and the low concentration impurity area and exposing the channel area and a part of the intermediate concentration source/drain in its vicinity, so as to form a low concentration source/drain and a high concentration source/drain sequentially laminated on top of the intermediate concentration source/drain; and a gate forming step of forming a gate oxide on a lateral side of the etched portions of the low concentration source/drain and the high concentration source/drain, as well as on top of the exposed channel area and the intermediate concentration source/drain, and forming a gate electrode on top of the gate oxide which has a top surface coplanar with a top surface of the high concentration source/drain.

2. The manufacturing method of a MOS transistor according to claim 1, wherein the impurity area of intermediate concentration is formed by ion-implanting in the substrate impurity ions of a conductive type different from the substrate.

3. The manufacturing method of a MOS transistor according to claim 1, wherein the impurity areas of low concentration and high concentration are grown using an alternative single crystal growing method.

In the drawings, 1 denotes a substrate, 2 denotes an intermediate concentration source/drain, 3 denotes an isolating film, 4 denotes an isolating film, 5 denotes a channel area, 6 denotes a low concentration source/drain, 7 denotes a high concentration source/drain, and 8 denotes a gate oxide.

17

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/334

(11) 공개번호 북2000-0074705
(43) 공개일자 2000년12월15일

(21) 출원번호 10-1999-0016829
(22) 출원일자 1999년05월25일
(71) 출원인 현대반도체 주식회사 김영환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 정연우
충청북도청주시흥덕구향정동1번지
(74) 대리인 박장원

심사청구 : 있음

(54) 모스 트랜지스터 제조방법

요약

본 발명은 모스 트랜지스터 제조방법에 관한 것으로, 종래 모스 트랜지스터 제조방법은 집적화가 심화되면서 열전하 발생등의 영향으로 소자의 특성이 열화되는 문제점이 있었다. 이와 같은 문제점을 감안한 본 발명은 상부에 불순물 영역이 형성된 기판에 트랜치를 형성하고 그 트랜치내에 절연막을 형성하는 단계와; 상기 절연막의 상부면과 중간층도의 소스 및 드레인의 일부를 소정깊이로 식각한 후, 그 식각 영역에 채널영역을 형성하는 단계와; 상기 채널영역과 중간층도 소스 및 드레인의 상부면에 저농도 및 고농도 불순물 영역을 순차적으로 형성하고, 그 고농도 및 저농도 불순물 영역의 일부를 식각하여 상기 채널영역과 그 주변부의 중간층도 소스 및 드레인의 일부를 노출시켜, 상기 중간층도 소스 및 드레인의 상부면에 순차적으로 적층된 저농도 소스 및 드레인과 고농도 소스 및 드레인을 형성하는 단계와; 상기 저농도 소스 및 드레인, 고농도 소스 및 드레인의 식각부분 측면과 상기 노출된 채널영역과 중간층도 소스 및 드레인의 상부에 게이트산화막을 형성하고, 그 게이트산화막의 상부에 상기 고농도 소스 및 드레인의 상부면과 채널영역의 상부면을 갖는 게이트전극을 형성하는 단계로 구성되며, 소스 및 드레인을 중간층도, 저농도, 고농도의 적층구조로 형성함과 아울러 그 소스와 드레인 사이 기판영역에 분리영역을 형성하여 소자의 집적화가 심화되는 경우에도 열전하 발생을 방지하여 모스 트랜지스터의 집적도를 향상시키며, 그 특성을 향상시키는 효과가 있다.

도면

도1

도2

도3

도1은 종래 000구조 모스 트랜지스터의 단면도.

도2는 종래 100구조 모스 트랜지스터의 단면도.

도3 내지 도9는 본 발명 모스 트랜지스터 제조공정 수순단면도.

도면의 주요 부분에 대한 부호의 설명

- 1:기판 2:중간층도 미온주입층
3,4:격리막 5:채널영역
6:저농도 에피층 7:고농도 에피층
8:게이트산화막 9:다결정실리콘(게이트전극)

도면의 상세한 설명

도면의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 모스 트랜지스터 제조방법에 관한 것으로, 특히 채널영역의 하부층에 절연막을 위치시켜, 열전하 특성과 누설전류를 개선하여 모스 트랜지스터의 특성을 향상시키는데 적당하도록 한 모스 트랜지스터 제조방법에 관한 것이다.

일반적으로, MOS 트랜지스터의 전계에 의한 열전하 문제가 대두되기 시작한 것은 전압이 5V로 유지되면 소자 크기가 1.5-1.0 μm 로 줄어든 1980년대 초 부터이다. 이와 같은 열전하 문제를 해결하기 위하여 더뎨 디플즈드 드레인(DD), 라이클리 도프트드 드레인(LDD)등의 변형된 MOS 트랜지스터를 개발하였다. 이러한 구조들은 중간농도를 갖는 N형의 드레인 영역을 포함한 채널영역과 고농도 엔형 드레인 사이에 삽입하여 드레인 전압이 긴거리에 걸쳐 떨어뜨려줌으로써 최대 전계를 감소시키는 방법을 사용하였으며, 이와 같은 종래 MOS 트랜지스터 제조방법을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도1은 종래 DD구조 MOS 트랜지스터의 단면도로서, 이에 도시한 바와 같이 피형 기판(1)의 상부에 게이트(2)를 형성한 후, 그 게이트(2)의 측면 기판하부에 저농도 불순물 이온을 깊게 이온주입하고, 고농도 불순물 이온을 기판의 표면영역에 이온주입한 후, 어닐링하여 저농도 소스 및 드레인(3)과 고농도 소스 및 드레인(4)을 형성하였다.

또한, 도2는 종래 LDD구조 MOS 트랜지스터의 단면도로서, 이에 도시한 바와 같이 기판(1)의 상부에 게이트(2)를 형성하고, 그 게이트(2)의 측면 기판(1) 하부에 저농도 불순물 이온을 이온주입하여 저농도 소스 및 드레인(3)을 형성한 후, 그 게이트(2)의 측면에 측벽(5)을 형성하고, 불순물 이온주입을 통해 상기 측벽(5)의 측면 기판(1) 하부에 고농도 소스 및 드레인을 형성하게 된다.

상기 DD구조는 2회의 이온주입공정을 통해 용이하게 형성할 수 있어, 1.2-1.5 μm 의 소자에 적용되었으나, 소자의 크기가 1.0 μm 의 크기로 줄어들면서, 저농도 불순물 이온을 기판의 하부층으로 깊게 이온주입하는 DD구조의 방식은 게이트(2)기반 실질적으로 좁아 문턱전압을 변화시키고, 단채널효과가 발생하는 등의 문제점이 있었다. 이와 같은 문제점을 보완한 구조인 LDD구조는 저농도 소스 및 드레인(3)과 고농도 소스 및 드레인(4)의 하부에 두지 않고, 게이트(2)와 고농도 소스 및 드레인(4)의 사이에만 위치하도록 형성함으로써, 상기 문제점을 해결하여 5V전압을 사용하는 경우 0.8 μm 정도의 게이트 길이를 갖는 소자에 까지 적용된다.

본 발명이 이루고자 하는 기술적 과제

그러나, 종래 LDD구조의 MOS 트랜지스터는 게이트의 크기가 더 감소할 경우 상기 DD구조와 동일하게 열전하의 발생 및 단채널효과의 발생으로 소자의 특성이 열화되는 문제점이 있었다.

이와 같은 문제점을 감안한 본 발명은 LDD구조의 MOS 트랜지스터의 집적도 한계를 극복하여 집적도를 향상시킬 수 있는 MOS 트랜지스터 제조방법을 제공함에 그 목적이 있다.

본 발명의 구성 및 작용

상기와 같은 목적은 기판의 상부에 중간농도의 불순물 영역의 형성한 후, 그 불순물 영역의 일부 및 그 하부의 기판에 트랜치를 형성하는 중간농도 소스 및 드레인 형성단계와; 상기 기판에 형성한 트랜치 내에 절연막을 증착하는 소스 및 드레인 분리구조 형성단계와; 상기 분리구조의 상부전면 및 그 분리구조와 인접한 중간농도의 소스 및 드레인의 일부를 소정깊이로 식각한 후, 그 식각영역에 단결정실리콘을 채워 채널영역을 형성하는 채널영역 형성단계와; 상기 채널영역과 중간농도 소스 및 드레인의 상부전면에 저농도 불순물 영역과 고농도 불순물 영역을 순차적으로 형성하고, 그 고농도 불순물 영역과 저농도 불순물 영역의 일부를 식각하여 상기 채널영역과 그 주변부의 중간농도 소스 및 드레인의 일부를 노출시켜, 상기 중간농도 소스 및 드레인의 상부에 순차적으로 적층된 저농도 소스 및 드레인(2)과 고농도 소스 및 드레인(3)을 형성하는 소스 및 드레인 형성단계와; 상기 저농도 소스 및 드레인(2)과 고농도 소스 및 드레인(3)의 식각부분을 증착하고, 상기 노출된 채널영역과 중간농도 소스 및 드레인의 상부에 게이트산화막을 형성하고, 그 게이트산화막의 상부에 상기 고농도 소스 및 드레인(3)의 상부면과 동일평면상의 상부면을 갖는 게이트전극을 형성하는 게이트 형성단계로 구성함으로써 달성되는 것으로, 이와 같은 본 발명을 첨부한 도면을 참조하여 상세히 설명한다.

도3a 내지 도3g는 본 발명 MOS 트랜지스터의 제조공정 수순단면도로서, 이에 도시한 바와 같이 기판(1)의 상부에, 상기 기판(1)과는 다른 도전성의 불순물 이온을 이온주입하여 중간농도의 이온주입층(2)을 형성하고, 그 이온주입층(2)의 상부에 포토레지스트(PR1)를 도포하고, 패턴을 형성하여, 상기 중간농도의 이온주입층(2)의 일부를 노출시킨 후, 노출된 이온주입층(2)과 그 하부의 기판(1)을 소정의 깊이로 식각하여 트랜치를 형성하는 단계(도3a)와; 상기 포토레지스트(PR1) 패턴을 제거하고, 상기 중간농도의 이온주입층(2) 상부전면과 트랜치의 측면 및 저면에 산화막의 증착을 순차적으로 증착하고 평탄화하여 격리막(3), (4)을 상기 트랜치 내에 형성하는 단계(도3b)와; 상기 중간농도의 이온주입층(2)과 격리막(3), (4)을 상부전면에 포토레지스트(PR2)를 도포하고, 상기 격리막(3, 4)과 그 주변부의 중간농도 이온주입층(2) 상부면부를 노출시킨 후, 노출된 격리막(3, 4)과 이온주입층(2)의 상부면부를 식각하는 단계(도3c)와; 상기 포토레지스트(PR2) 패턴을 제거하고, 단결정실리콘을 증착한 후, 평탄화하여, 상기 격리막(3, 4)과 이온주입층(2)의 식각영역에 채널영역(5)을 형성하는 단계(도3d)와; 상기 채널영역(5)과 중간농도 이온주입층(2)의 상부전면에 그 이온주입층(2)과 동일한 도전성의 단결정실리콘층을 성장시켜, 저농도 에피층(6)을 형성하고, 그 저농도 에피층(6)의 상부에 동일 도전성의 고농도 에피층(7)을 성장시킨 후, 포토레지스트(PR3) 패턴을 상기 고농도 에피층(7)의 상부에 형성하고, 그 포토레지스트(PR3) 패턴을 식각마스크로 하는 식각공정으로, 상기 고농도 에피층(7)과 저농도 에피층(6)의 일부영역을 식각하여, 상기 채널영역(5)의 상부전면과 그 채널영역(5)의 주변부 중간농도 이온주입층(2)의 상부면부를 노출시키는 단계(도3e)와; 상기 포토레지스트(PR3) 패턴을 제거하고, 게이트산화막(8)과 단결정실리콘(9)을 순차적으로 증착하는 단계(도3f)와; 상기 단결정실리콘(9)과 게이트산화막(8)을 평탄화하여, 상기 고농도 에피층(7)을 노출시켜, 상기 고농도 에피층(7)과 저농도 에피층(6)의 식각영역인 채널영역(5)과 그 주변부의 중간농도 이온주입층(2)의 상부면부에 게이트를 형성하는 단계(도3g)로 구성된다.

이하, 상기와 같이 구성된 본 발명 MOS 트랜지스터 제조방법을 좀 더 상세히 설명한다.

먼저, 도3a에 도시한 바와 같이, 피형 기판(1)의 상부전면에, 엔형의 불순물 이온을 이온주입하여, 상기 피형 기판(1)의 상부면으로부터 소정깊이 까지 위치하는 중간농도의 이온주입층(2)을 형성한다.

그 다음, 상기 중간농도 이온주입층(2)의 상부전면에 포토레지스트(PR1)를 도포하고, 노광 및 현상하여 상기 중간농도 이온주입층(2)의 상부일부를 노출시키는 패턴을 형성한 후, 그 포토레지스트(PR1) 패턴을 식각마스크로 하는 식각공정으로 상기 노출된 중간농도 이온주입층(2)을 식각하고, 이어서 노출되는 기판(1)을 소정깊이로 식각하여 트렌치를 형성한다.

그 다음, 도3b에 도시한 바와 같이 상기 포토레지스트(PR1) 패턴을 제거하고, 산화막 등의 절연막을 고온에서 얇게 증착하여, 상기 트렌치의 형성으로 인한 기판(1)과 중간농도 이온주입층(2)의 손상을 복원하는 격리막(3)을 형성하고, 그 격리막(3)의 상부전면에 산화막 등의 격리막(4)을 두껍게 증착한다. 이때의 격리막(4)은 상기 형성한 트렌치가 채워질 정도로 두껍게 형성하며, 평탄화공정을 통해 상기 중간농도 이온주입층(2)의 상부에 증착된 격리막(3,4)을 제거하여, 상기 트렌치 내에 위치하는 격리막(3,4)을 형성하게 된다.

그 다음, 도3c에 도시한 바와 같이 상기 격리막(3,4)과 중간농도 이온주입층(2)의 상부전면에 포토레지스트(PR2)를 도포하고, 노광 및 현상하여 상기 격리막(3,4)의 상부전면과 그 격리막(3,4)의 주변부에 위치하는 중간농도 이온주입층(2)의 상부일부를 소정면적으로 노출시키는 패턴을 형성한다.

그 다음, 상기 포토레지스트(PR2) 패턴을 식각마스크로 하는 식각공정으로, 상기 노출된 격리막(3,4)과 중간농도 이온주입층(2)을 소정깊이로 식각하여 채널이 형성될 영역을 정의한다.

그 다음, 도3d에 도시한 바와 같이 상기 포토레지스트(PR2) 패턴을 제거하고, 상기 노출되는 중간농도 이온주입층(2)과 격리막(3,4)의 상부전면에 단결정실리콘을 증착하고, 평탄화하여 상기 격리막(3,4)과 이온주입층(2)의 식각으로 정의된 채널형성영역에 채널영역(5)을 형성한다.

그 다음, 도3e에 도시한 바와 같이 상기 채널영역(5)과 중간농도 이온주입층(2)의 상부전면에 선택적 단결정 성장법(selective epitaxial)을 이용하여 저농도의 실리콘 단결정을 성장시켜, 저농도 에피층(6)을 형성하고, 그 저농도 에피층(6)의 상부에 엔형의 고농도 에피층(7)을 성장시킨다.

그 다음, 상기 고농도 에피층(7)의 상부전면에 포토레지스트(PR3)를 도포하고, 노광 및 현상하여, 상기 고농도 에피층(7)의 일부영역을 노출시키는 패턴을 형성하고, 그 패턴이 형성된 포토레지스트(PR3)를 식각마스크로 하는 식각공정으로, 상기 고농도 에피층(7)과 저농도 에피층(6)의 일부를 식각하여 그 하부의 채널영역(5)과 그 채널영역(5)의 주변부에 위치하는 중간농도 이온주입층의 상부를 소정면적으로 노출시킨다.

이와 같은 식각공정을 게이트가 형성될 위치를 설정함과 아울러 모두 엔형인 상기 중간농도 이온주입층(2), 저농도 에피층(6), 고농도 에피층(7) 적층구조의 소스 및 드레인을 형성하게 된다. 이와 같이 중간농도, 저농도, 고농도의 적층구조 소스 및 드레인을 사용할 경우 그 저농도 영역에서 경계를 효과적으로 감소시키며, 고농도 영역은 외부와의 배선 형성시 그 배선과의 접촉저항을 감소시키는 역할을 하며, 낮은 드레인 전압하에서는 전압의 대부분이 상기 중간농도 이온주입층(2)에서 유지되어 저농도 에피층(6)은 공핍(DEPLET)되지 않으나, 외이상의 고농도 중간농도의 영역으로 부터의 전하넘침(CARRIER SPILLOVER)와 필(DEFLECT)되지 않으나, 외이상의 고농도 중간농도의 영역으로 부터의 전하넘침(CARRIER SPILLOVER)와 저농도에 의한 높은 전하이동도에 의해 그 저농도 에피층(6)의 시리즈저항은 작아지게 되며, 높은 드레인 전압하에서는 저농도영역이 공핍되지만 전하가 많은 저농도 영역을 포화속도로 지나가게 되므로 역시 시리즈저항은 낮게 된다.

그 다음, 도3f에 도시한 바와 같이 상기 포토레지스트(PR3) 패턴을 제거하고, 상기 구조의 상부전면에 얇은 게이트산화막(8)을 증착하고, 그 게이트산화막(8)의 상부에 상기 저농도 에피층(6)과 고농도 에피층(7)의 식각영역이 모두 채워지도록 두꺼운 다결정실리콘(9)을 증착한다.

그 다음, 도3g에 도시한 바와 같이 상기 증착된 다결정실리콘(9)과 그 하부의 게이트산화막(8)을 평탄화하여 상기 고농도 에피층(7)의 상부일부를 노출시킬으로써, 상기 고농도 에피층(7)과 저농도 에피층(6)의 식각영역 내에 위치하는 게이트를 형성하게 된다.

발명의 효과

상기한 바와 같이 본 발명은 채널영역의 하부에 격리막을 형성하여 소스와 드레인의 사이를 완전히 차단하여, 전지 소스의 발생과 부실전류발생을 억제함과 아울러 소스 및 드레인을 아래로 부터 중간농도, 저농도, 고농도의 적층구조를 갖도록 형성함으로써, 고전계에 의한 영향을 최소화 하며, 저전계에서의 저항을 줄여, MOS 트랜지스터의 크기가 0.8 μm 이하의 구조에서도 단채널효과와 열전하가 발생하는 것을 방지하여 MOS 트랜지스터의 집적도 및 특성을 향상시키는 효과가 있다.

(5) 경로의 보류

현구한 1

기판의 상부에 중간농도의 불순물 영역의 형성한 후, 그 불순물 영역의 일부 및 그 하부의 기판에 트렌치를 형성하는 중간농도 소스 및 드레인 형성단계와, 상기 기판에 형성한 트렌치 내에 절연막을 증착하는 소스 및 드레인 분리구조 형성단계와, 상기 분리구조의 상부전면 및 그 분리구조와 인접한 중간농도의 소스 및 드레인의 일부를 소정깊이로 식각한 후, 그 식각영역에 다결정실리콘을 채워 채널영역을 형성하는 채널영역 형성단계와, 상기 채널영역과 중간농도 소스 및 드레인의 상부전면에 저농도 불순물 영역과 고농도 불순물 영역을 순차적으로 형성하고, 그 고농도 불순물 영역과 저농도 불순물 영역의 일부를 식각하여 상기 채널영역과 그 주변부의 중간농도 소스 및 드레인의 일부를 노출시켜, 상기 중간농도 소스 및 드레인의 상부에 순차적으로 적층된 저농도 소스 및 드레인과 고농도 소스 및 드레인을 형성하는 소스 및 드레인 형성단계와, 상기 저농도 소스 및 드레인과 고농도 소스 및 드레인의 식각부분 측면과 상기 노출된 채널영역과 중간농도 소스 및 드레인의 상부에 게이트산화막을 형성하고, 그 게이트산화막의 상부에 상기 고농도 소스 및 드레인의 상부면과 동일평면상의 상부면을 갖는 게이트전극을 형성하는 게이트 형성단계로 이루어진 것을 특징으로 하는 MOS 트랜지스터 제조방법.

형구함 2

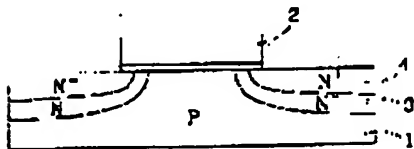
제 1항에 있어서, 상기 중간농도 불순물 영역은 상기 기판과는 다른 도전형의 불순물 이온을 기판에 이온 주입하여 형성하는 것을 특징으로 하는 모스 트랜지스터 제조방법.

형구함 3

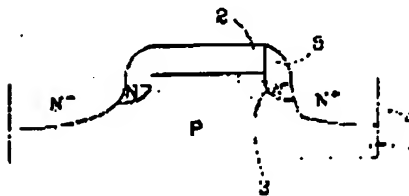
제 1항에 있어서, 상기 저농도 불순물 영역과 고농도 불순물 영역은 선택적 단결정성장법을 이용하여 성장시키는 것을 특징으로 하는 모스 트랜지스터 제조방법.

도면

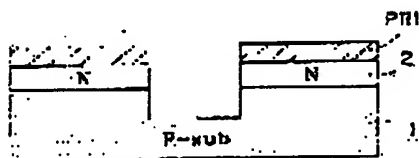
도면1



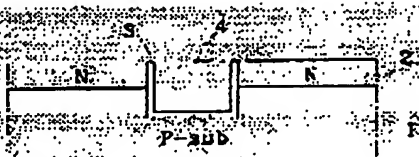
도면2



도면3a



도면3b



도면3c



A cross-sectional view of a semiconductor device. It shows a substrate labeled "P-sub" with a central region labeled "N". Above the "N" region, there is a patterned layer labeled "3" and a contact layer labeled "4". The top surface is labeled "N".

Translation of a relevant portion of the Korean office action

Claims 1-11 of the present application relate to a transistor, a manufacturing method thereof, and the like, and are characterized in that the semiconductor film containing the source area and the semiconductor film containing the drain area are formed separately at both sides of an insulating member, and the semiconductor film containing the channel area is formed over the insulating member. The claimed subject matter could have easily been invented by a person with ordinary skill in the art from a manufacturing method of a MOS transistor disclosed in cited reference 1 (Korean Patent Application Unexamined Publication No. 2000-74705) in which the source and the drain are completely isolated by an isolating film formed under the channel area, and a thin-film transistor manufacturing method disclosed in cited reference 2 (Japanese Patent Application Unexamined Publication No. 6-104439) in which the source and the drain are isolated, and the channel area is formed from a different semiconductor layer.

Best Available Copy